

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Makoto Takahashi

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: October 23, 2003

Examiner: Not yet assigned

Title: **SEMICONDUCTOR DEVICE COMPRISING ESD PROTECTION  
CIRCUIT FOR PROTECTING CIRCUIT FROM BEING DESTROYED  
BY ELECTROSTATIC DISCHARGE**

EXPRESS MAIL NUMBER: EV 302277996 US

DATE OF DEPOSIT: October 23, 2003

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.

  
\_\_\_\_\_  
Susan Pingu

\* \* \*

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119  
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-308668	October 23, 2002

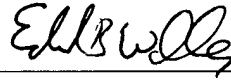
A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: October 23, 2003

By



*Edward B. Weller*

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH  
2000 University Avenue  
East Palo Alto, CA 94303  
Telephone: (650) 833-2436  
Facsimile: (650) 833-2001

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 2 3 日  
Date of Application:

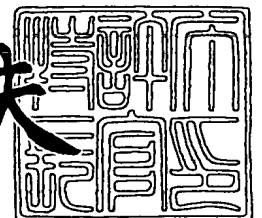
出 願 番 号                      特 願 2 0 0 2 - 3 0 8 6 6 8  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 0 8 6 6 8 ]

出 願 人                      株式会社東芝  
Applicant(s):

2 0 0 3 年    8 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000203704

【提出日】 平成14年10月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 高橋 誠

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体装置  
【特許請求の範囲】

【請求項 1】

半導体チップの外周近傍に形成された入出力回路と、  
前記半導体チップの前記入出力回路より中央側に形成された機能モジュールと、  
前記半導体チップの前記機能モジュール内に形成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路と、  
前記機能モジュール近傍の前記半導体チップの一方の主面上に配置され、前記静電気放電保護回路を介して前記機能モジュールに接続されたバンプと、  
を具備することを特徴とする半導体装置。

【請求項 2】

半導体チップの外周近傍に形成された入出力回路と、  
前記半導体チップの前記入出力回路より中央側に形成された機能モジュールと、  
前記半導体チップの前記機能モジュールの近傍に形成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路と、  
前記機能モジュール近傍の前記半導体チップの一方の主面上に配置され、前記静電気放電保護回路を介して前記機能モジュールに接続されたバンプと、  
を具備することを特徴とする半導体装置。

【請求項 3】

半導体チップの外周近傍に形成された入出力回路と、  
前記半導体チップの前記入出力回路より中央側に形成された機能モジュールと、  
前記半導体チップの一方の主面上に配置されたバンプと、  
前記バンプにより前記半導体チップと接続されたパッケージ基板と、  
前記パッケージ基板の前記半導体チップが接続された面側に形成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路と、

前記パッケージ基板の前記半導体チップが接続された面に対向する面上に配置され、前記静電気放電保護回路を介して前記半導体チップの前記機能モジュールに接続された外部接続用端子と、

を具備することを特徴とする半導体装置。

【請求項 4】

半導体チップの外周近傍に形成された入出力回路と、

前記半導体チップの前記入出力回路より中央側に形成された機能モジュールと

、  
前記半導体チップの一方の主面上に配置されたバンプと、

前記バンプにより前記半導体チップと接続されたパッケージ基板と、

前記パッケージ基板の前記半導体チップが接続された面に対向する面側に成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路と、

前記パッケージ基板の前記半導体チップが接続された面に対向する面上に配置され、前記静電気放電保護回路を介して前記半導体チップの前記機能モジュールに接続された外部接続用端子と、

を具備することを特徴とする半導体装置。

【請求項 5】

半導体チップの外周近傍に形成された入出力回路と、

前記半導体チップの前記入出力回路より中央側に形成された機能モジュールと

、  
前記半導体チップの一方の主面上に配置されたバンプと、

前記バンプにより前記半導体チップと接続されたパッケージ基板と、

前記パッケージ基板の内部に形成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路と、

前記パッケージ基板の前記半導体チップが接続された面に対向する面上に配置され、前記静電気放電保護回路を介して前記半導体チップの前記機能モジュールに接続された外部接続用端子と、

を具備することを特徴とする半導体装置。

【請求項 6】

前記バンプは、前記機能モジュールが形成された領域内の前記半導体チップの前記一方の主面上に配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記機能モジュールは、メモリあるいはアナログ I P (Analog Intellectual Property) のいずれかの回路を含むことを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記メモリは、D R A Mを含むことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記静電気放電保護回路は、キャパシタから構成されていることを特徴とする請求項 1 乃至 8 のいずれか 1 つに記載の半導体装置。

【請求項 1 0】

前記外部接続用端子は、ボールを含むことを特徴とする請求項 3、4、5 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、静電気放電 (electrostatic discharge ; 以下 E S D と記す) による破壊から回路を保護するための E S D 保護回路を備えた半導体装置に関し、特に 2 次元エリア状に配置されたバンプを用いて接続を行う半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

以下に、従来の E S D 保護回路を備えた半導体装置について説明する。

【0 0 0 3】

図 7 は、ボンディングワイヤで外部との接続を行う半導体装置 (シリコンチップ) の平面図である。



## 【0004】

ボンディングワイヤでシリコンチップとの接続を行う場合は、通常、図7に示すように、シリコンチップ101の外周近傍に設けられた入出力パッド102へワイヤ103をボンディングする。この入出力パッド102は、入出力回路104を介してシリコンチップ中央側に形成された機能モジュール105に接続されている。なお、図7は入出力パッド102形成面側から見た図である。

## 【0005】

前記入出力回路104は、ESD保護回路を含む入出力バッファ、またはESD保護回路を含む電源入力回路から構成されている。機能モジュール105は、所定の機能を有する回路であり、例えばDRAMやその他のメモリ、あるいはアナログIP (Analog Intellectual Property) などから構成された回路である。ボンディングワイヤ103から信号または電源電圧が入力された際には、入出力回路104に組み込まれているESD保護回路が機能し、ESDから機能モジュール105を保護する仕組みになっている。

## 【0006】

図8は、バンプにて半導体チップとパッケージ基板との接続を行うフリップチップパッケージの断面図である。図9は、前記フリップフロップパッケージにおけるシリコンチップの平面図であり、バンプ形成面側から見た図である。

## 【0007】

図8に示すように、シリコンチップ111はパッケージ基板112上にバンプ113により接続されている。シリコンチップ111は、バンプ113、パッケージ基板に形成された配線層、スルーホールなどによりボール114に接続されている。さらに、パッケージ基板112上のシリコンチップ111は、キャップ材115にて覆われている。

## 【0008】

また、図9に示すように、フリップフロップパッケージにおけるシリコンチップ111では、シリコンチップ111の一方の面全体にバンプ113 (113A、113Bを含む) が2次元に配置されている。さらに、シリコンチップ111の外周近傍には、入出力回路116が形成されており、この入出力回路116の

内側には所定の機能を有する回路（以下、機能モジュールと記す）117が形成されている。

#### 【0009】

##### 【発明が解決しようとする課題】

しかしながら、図8に示したフリップチップパッケージのように、ボンディングワイヤではなく、ハンダなどのバンプにてシリコンチップ111とパッケージ基板112を接続するような場合、以下のような問題が生じる。

#### 【0010】

フリップチップパッケージでは、シリコンチップ111の外周近傍にバンプ113Aが配置されるだけでなく、入出力回路116より内側でかつ入出力回路116から離れた位置にもバンプ113Bが配置される。このため、バンプ113Bに入力された信号を、入出力回路116に設けられたESD保護回路を介して、シリコンチップ111の中央部付近に配置された機能モジュール117に入力することができない場合がある。

#### 【0011】

特に、機能モジュールとして、DRAMやその他のメモリ、アナログIP（Analog Intellectual Property）などを混載し、これらがそれぞれ独立した専用電源を持つような半導体チップでは、専用電源がESD保護回路を介さずに入力された場合、ESDに対する耐性が弱くなるという問題がある。

#### 【0012】

そこでこの発明は、前記課題に鑑みてなされたものであり、半導体チップの外周近傍の入出力回路から距離的に離れた場所に入力用バンプが配置されていても、ESDに対する耐性を確保することができる半導体装置を提供することを目的とする。

#### 【0013】

##### 【課題を解決するための手段】

前記目的を達成するために、この発明に係る半導体装置は、半導体チップの外周近傍に形成された入出力回路と、前記半導体チップの前記入出力回路より中央側に形成された機能モジュールと、前記半導体チップの前記機能モジュール内に

形成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路と、前記機能モジュール近傍の前記半導体チップの一方の主面上に配置され、前記静電気放電保護回路を介して前記機能モジュールに接続されたバンプとを具備することを特徴とする。

#### 【0014】

##### 【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

#### 【0015】

##### [第1の実施の形態]

まず、この発明の第1の実施の形態の半導体装置について説明する。

#### 【0016】

図1は、第1の実施の形態のESD保護回路を備えた半導体装置の構成を示す平面図である。

#### 【0017】

図1に示すように、半導体チップ11の第1主面上には、バンプ12が2次元に配置されている。半導体チップ11の外周近傍には入出力回路13が形成されている。この入出力回路13は、ESD保護回路を含む入出力バッファ、またはESD保護回路を含む電源入力回路から構成されている。ESD保護回路は、保護対象回路の前段に接続され、ESDから保護対象回路を保護する回路であり、言い換えると、静電気放電による破壊から後段の回路を保護する。バンプ12は、例えばハンダ、Auなどから形成されている。なお、図1はバンプ12形成面側から見た図である。

#### 【0018】

さらに、入出力回路13より内側、すなわち半導体チップ11の中央部近傍の領域には、機能モジュール14が形成されている。機能モジュール14内には、ESD保護回路15が形成されている。ESD保護回路15は、前述と同様に、保護対象回路の前段に接続され、ESDから保護対象回路を保護する回路であり、言い換えると、静電気放電による破壊から後段の回路を保護する。このESD

保護回路 15 は、例えばキャパシタなどから構成されている。機能モジュール 14 は、所定の機能を有する回路であり、例えば D R A M やその他のメモリ、あるいはアナログ I P (Analog Intellectual Property) などから構成された回路である。

#### 【0019】

前記第 1 主面上に配列されたバンプ 12 のうち、機能モジュール 14 に接続されるバンプ 12 A は、機能モジュール 14 に近接する領域に配置されている。そして、バンプ 12 A は、半導体チップ 11 内の配線層 16 A により、機能モジュール 14 内の E S D 保護回路 15 を介して、機能モジュール 14 に接続されている。これにより、バンプ 12 A から入力された電源電圧（あるいは信号）を、機能モジュール 14 に内蔵された E S D 保護回路 15 を介して機能モジュール 14 に入力する。

#### 【0020】

このような構成を有する半導体装置では、機能モジュール 14 近傍のバンプ 12 A から、機能モジュール 14 内に設けられた E S D 保護回路 15 を介して機能モジュール 14 に電源電圧あるいは信号の入力を行うことにより、機能モジュール 14 の E S D に対する耐性を向上させることができる。さらに、半導体チップ 11 の外周近傍に配置された入出力回路 13 内の E S D 保護回路を用いず、機能モジュール 14 内の E S D 保護回路 15 を用いることにより、配線効率の悪化を防ぐことができる。

#### 【0021】

次に、この発明の第 1 の実施の形態の変形例の半導体装置について説明する。この変形例の半導体装置では、機能モジュールに接続されるバンプが、機能モジュールが形成された領域内の第 1 主面上に配置されている。前記バンプは、機能モジュール内の E S D 保護回路を介して、機能モジュールに接続されている。その他の構成は、前記第 1 の実施の形態と同様である。

#### 【0022】

図 2 は、第 1 の実施の形態の変形例の E S D 保護回路を備えた半導体装置の構成を示す平面図であり、バンプ 12 形成面側から見た図である。

## 【0023】

図2に示す半導体装置は、図1に示した半導体装置と同様に、以下のような構成を有している。半導体チップ11の第1主面上には、バンプ12が2次元に配置されている。半導体チップ11の外周近傍には入出力回路13が形成されている。

## 【0024】

さらに、入出力回路13より内側、すなわち半導体チップ11の中央部近傍の領域には、機能モジュール14が形成されている。機能モジュール14内には、ESD保護回路15が形成されている。

## 【0025】

前記第1主面上に配列されたバンプ12のうち、機能モジュール14に接続されるバンプ12Bは、半導体チップ11の第1主面上における、機能モジュール14が形成された領域内に配置されている。そして、バンプ12Bは、半導体チップ11内の配線層16Bにより、機能モジュール14内のESD保護回路15を介して、機能モジュール14に接続されている。これにより、バンプ12Bから入力された電源電圧（あるいは信号）を、機能モジュール14に内蔵されたESD保護回路15を介して機能モジュール14に入力する。

## 【0026】

このような構成を有する半導体装置では、機能モジュール14が形成された領域上のバンプ12Bから、機能モジュール14内に設けられたESD保護回路15を介して機能モジュール14に電源電圧あるいは信号の入力を行うことにより、機能モジュール14のESDに対する耐性を向上させることができる。さらに、半導体チップ11の外周近傍に配置された入出力回路13内のESD保護回路を用いず、機能モジュール14内のESD保護回路15を用いることにより、配線効率の悪化を防ぐことができる。

## 【0027】

## [第2の実施の形態]

次に、この発明の第2の実施の形態の半導体装置について説明する。この第2の実施の形態では、機能モジュールの近傍にESD保護回路が配置され、機能モ

ジュールに接続されるバンプもこの機能モジュールの近傍に存在する場合を述べる。

#### 【0028】

図3は、第2の実施の形態のESD保護回路を備えた半導体装置の構成を示す平面図である。

#### 【0029】

図3に示す半導体装置は、図1に示した半導体装置と同様に、以下のような構成を有している。半導体チップ11の第1主面上には、バンプ12が2次元に配置されている。半導体チップ11の外周近傍には入出力回路13が形成されている。なお、図3はバンプ12形成面側から見た図である。

#### 【0030】

さらに、入出力回路13より内側、すなわち半導体チップ11の中央部近傍の領域には、機能モジュール14が形成されている。機能モジュール14に近接する領域には、ESD保護回路15が形成されている。

#### 【0031】

前記第1主面上に配列されたバンプ12のうち、機能モジュール14に接続されるバンプ12Cは、半導体チップ11の第1主面上における、機能モジュール14に近接する領域に配置されている。そして、バンプ12Cは、半導体チップ11内の配線層16Cにより、機能モジュール14近傍のESD保護回路15を介して、機能モジュール14に接続されている。これにより、バンプ12Cから入力された電源電圧（あるいは信号）を、機能モジュール14近傍のESD保護回路15を介して機能モジュール14に入力する。

#### 【0032】

このような構成を有する半導体装置では、機能モジュール14近傍のバンプ12Cから、機能モジュール14に近接して設けられたESD保護回路15を介して機能モジュール14に電源電圧あるいは信号の入力を行うことにより、機能モジュール14のESDに対する耐性を向上させることができる。さらに、半導体チップ11の外周近傍に配置された入出力回路13内のESD保護回路を用いず、機能モジュール14近傍のESD保護回路15を用いることにより、配線効率

の悪化を防ぐことができる。

### 【0033】

#### [第3の実施の形態]

次に、この発明の第3の実施の形態の半導体装置について説明する。この第3の実施の形態では、パッケージ基板上に半導体チップをフリップチップにより接続したフリップチップパッケージについて述べる。

### 【0034】

図4(a)は、第3の実施の形態のフリップチップパッケージの構成を示す断面図である。

### 【0035】

図4(a)に示すように、半導体チップ11はパッケージ基板17の第1主面上に bumps 12により接続されている。この半導体チップ11は、図3に示した半導体チップにおいて、ESD保護回路15が削除された構成を有している。半導体チップ11に近接するパッケージ基板17の第1主面上には、ESD保護回路15が形成されている。パッケージ基板17における、第1主面に対向する第2主面上には、ボール18が配列されている。パッケージ基板17の第1主面上には、半導体チップ11及びESD保護回路15を保護するために、これらを覆うキャップ材19が形成されている。ボール18はハンダなどから形成され、キャップ材19はモールドあるいは金属などから形成されている。

### 【0036】

図4(b)は、図4(a)におけるESD保護回路15と、半導体チップ11及びパッケージ基板17の一部を含む断面の拡大図である。パッケージ基板17は、多数の配線層17A、多数の絶縁層17Bが積層された積層基板からなる。さらに、パッケージ基板17内には、配線層17A間を接続するスルーホール17Cが形成されている。

### 【0037】

外部に接続されるボール18は、パッケージ基板17内の配線層17A及びスルーホール17Cを介してESD保護回路15に接続されている。ESD保護回路15は、パッケージ基板17内の配線層17Aを介して bumps 12に接続され

、このバンプ12は半導体チップ11内に形成された機能モジュール14に接続されている。

#### 【0038】

このような構成を有する半導体装置では、半導体チップ11の外周近傍に配置された入出力回路13内のESD保護回路を用いることなく、パッケージ基板17の第1主面上の半導体チップ11近傍にESD保護回路15を設け、ボール18から半導体チップ11近傍のESD保護回路15を介して、半導体チップ11内の機能モジュール14に電源電圧あるいは信号の入力を行うことにより、機能モジュール14のESDに対する耐性を向上させることができる。

#### 【0039】

次に、この発明の第3の実施の形態の第1変形例の半導体装置について説明する。この第1変形例は、ESD保護回路15をパッケージ基板17のボール形成面に設けたものであり、その他の構成は前記第3の実施の形態と同様である。

#### 【0040】

図5は、第3の実施の形態の第1変形例のフリップチップパッケージにおけるESD保護回路15と、半導体チップ11及びパッケージ基板17の一部を含む断面の拡大図である。

#### 【0041】

ESD保護回路15は、パッケージ基板17の半導体チップ11がフリップチップ接続される第1主面と対向する第2主面（ボール18の形成面）上に形成されている。外部に接続されるボール18は、パッケージ基板17内の配線層17Aを介して、ボール形成面上のESD保護回路15に接続されている。ESD保護回路15は、パッケージ基板17内の配線層17A及びスルーホール17Cを介してバンプ12に接続される。さらに、このバンプ12は半導体チップ11内に形成された機能モジュール14に接続されている。

#### 【0042】

このような構成を有する半導体装置では、半導体チップ11の外周近傍に配置された入出力回路13内のESD保護回路を用いることなく、外部端子接続用のボール形成面にESD保護回路15を設け、ボール18からボール形成面上のE



ESD保護回路15を介して、半導体チップ11内の機能モジュール14に電源電圧あるいは信号の入力を行うことにより、機能モジュール14のESDに対する耐性を向上させることができる。

#### 【0043】

次に、この発明の第3の実施の形態の第2変形例の半導体装置について説明する。この第2変形例は、ESD保護回路15をパッケージ基板17の内部に設けたものであり、その他の構成は前記第3の実施の形態と同様である。

#### 【0044】

図6は、第3の実施の形態の第2変形例のフリップチップパッケージにおけるESD保護回路15と、半導体チップ11及びパッケージ基板17の一部を含む断面の拡大図である。

#### 【0045】

ESD保護回路15は、パッケージ基板17内部の積層された複数の絶縁層17B内に形成されている。外部に接続されるボール18は、パッケージ基板17内の配線層17Aを介して、絶縁層17B内のESD保護回路15に接続されている。ESD保護回路15は、パッケージ基板17内の配線層17Aを介してバンプ12に接続される。さらに、このバンプ12は半導体チップ11内に形成された機能モジュール14に接続されている。

#### 【0046】

このような構成を有する半導体装置では、半導体チップ11の外周近傍に配置された入出力回路13内のESD保護回路を用いることなく、パッケージ基板17内部にESD保護回路15を設け、ボール18からパッケージ基板17内部のESD保護回路15を介して、半導体チップ11内の機能モジュール14に電源電圧あるいは信号の入力を行うことにより、機能モジュール14のESDに対する耐性を向上させることができる。

#### 【0047】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせ実施することも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要

件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

#### 【0048】

##### 【発明の効果】

以上述べたようにこの発明によれば、半導体チップの外周近傍の入出力回路から距離的に離れた場所に入力用バンプが配置されていても、ESDに対する耐性を確保できる半導体装置を提供することが可能である。

##### 【図面の簡単な説明】

#### 【図1】

この発明の第1の実施の形態のESD保護回路を備えた半導体装置の構成を示す平面図である。

#### 【図2】

前記第1の実施の形態の変形例のESD保護回路を備えた半導体装置の構成を示す平面図である。

#### 【図3】

この発明の第2の実施の形態のESD保護回路を備えた半導体装置の構成を示す平面図である。

#### 【図4】

(a)はこの発明の第3の実施の形態のフリップチップパッケージの構成を示す断面図であり、(b)は前記フリップチップパッケージにおけるESD保護回路と、半導体チップ及びパッケージ基板の一部を含む断面の拡大図である。

#### 【図5】

前記第3の実施の形態の第1変形例のフリップチップパッケージにおけるESD保護回路と、半導体チップ及びパッケージ基板の一部を含む断面の拡大図である。

#### 【図6】

前記第3の実施の形態の第2変形例のフリップチップパッケージにおけるESD保護回路と、半導体チップ及びパッケージ基板の一部を含む断面の拡大図である。

#### 【図7】

従来のボンディングワイヤで外部との接続を行う半導体装置の平面図である。

【図 8】

従来のバンプにて半導体チップとパッケージ基板との接続を行うフリップチップパッケージの断面図である。

【図 9】

前記フリップフロップパッケージにおけるシリコンチップの平面図である。

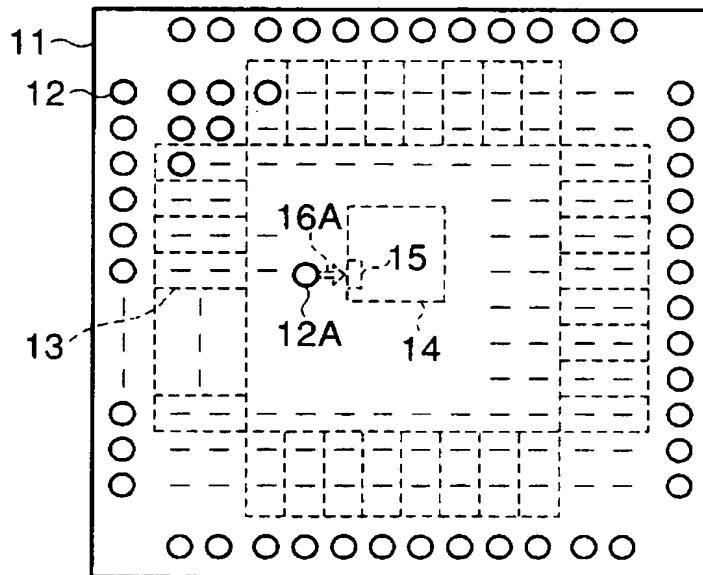
【符号の説明】

- 11…半導体チップ
- 12、12A、12B、12C…バンプ
- 13…入出力回路
- 14…機能モジュール
- 15…ESD保護回路
- 16A、16B、16C…配線層
- 17…パッケージ基板
- 17A…配線層
- 17B…絶縁層
- 17C…スルーホール
- 18…ボール
- 19…キャップ材

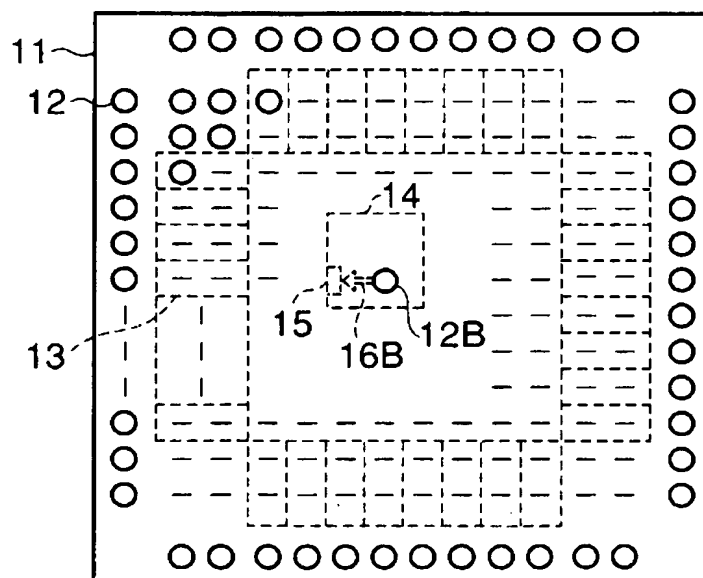
【書類名】

図面

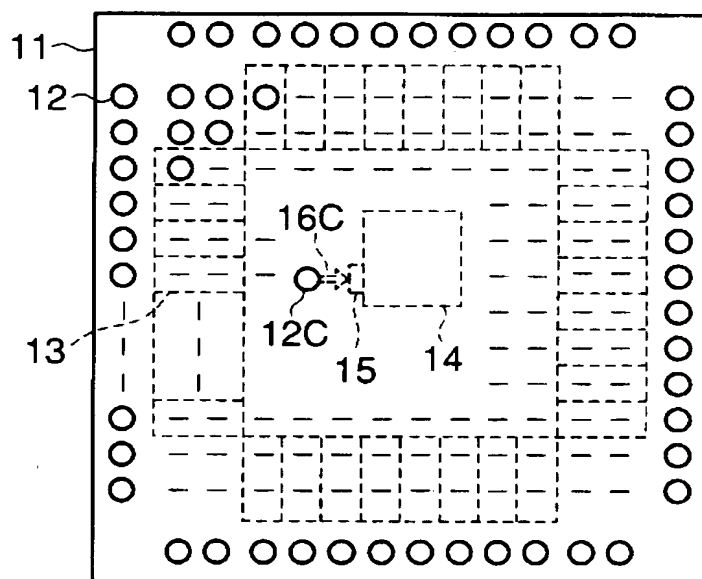
【図 1】



【図 2】

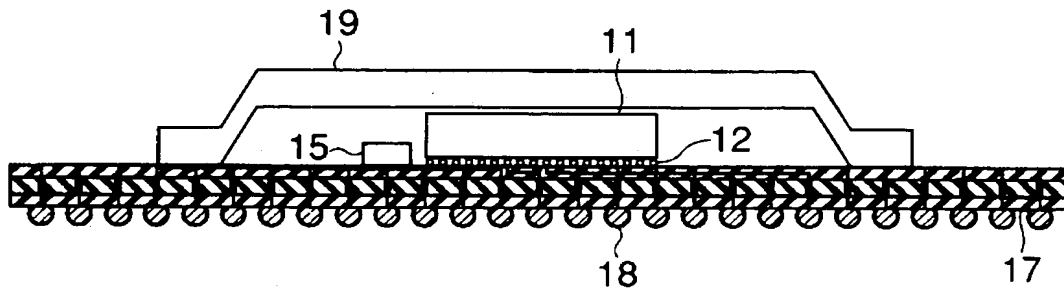


【図 3】

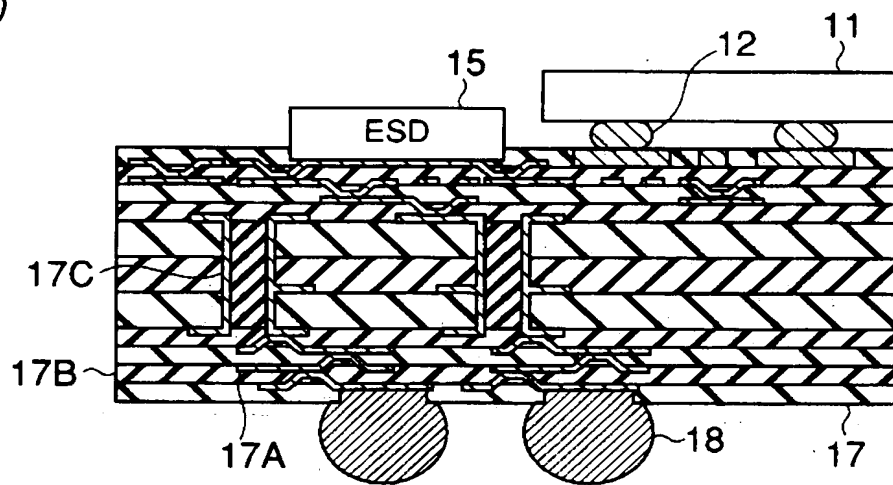


【図 4】

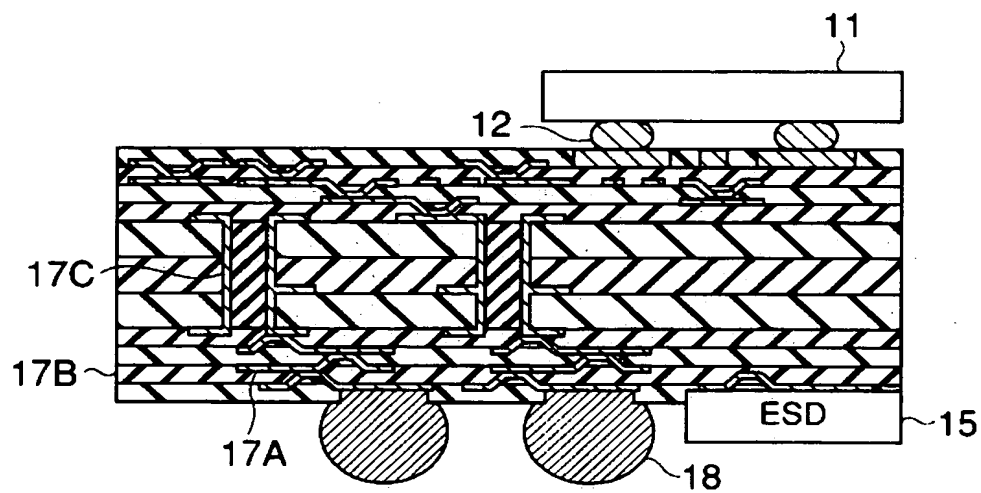
(a)



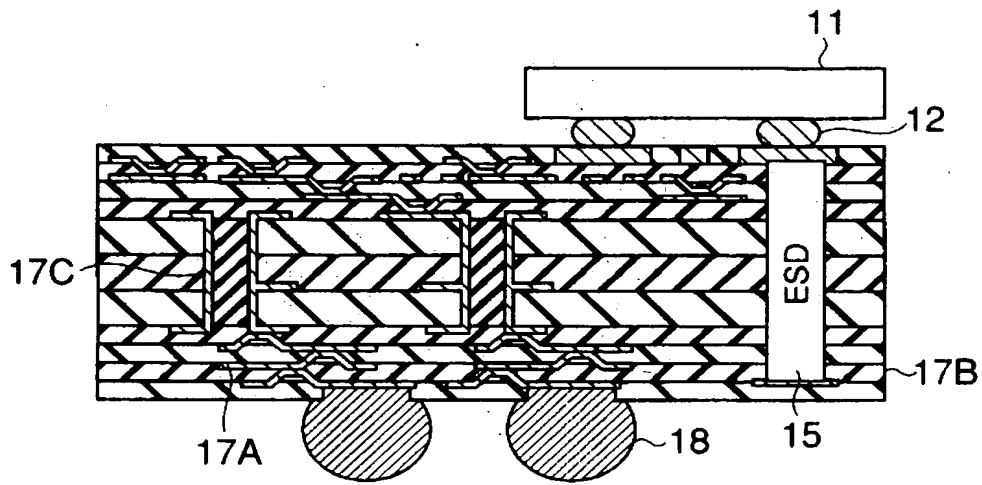
(b)



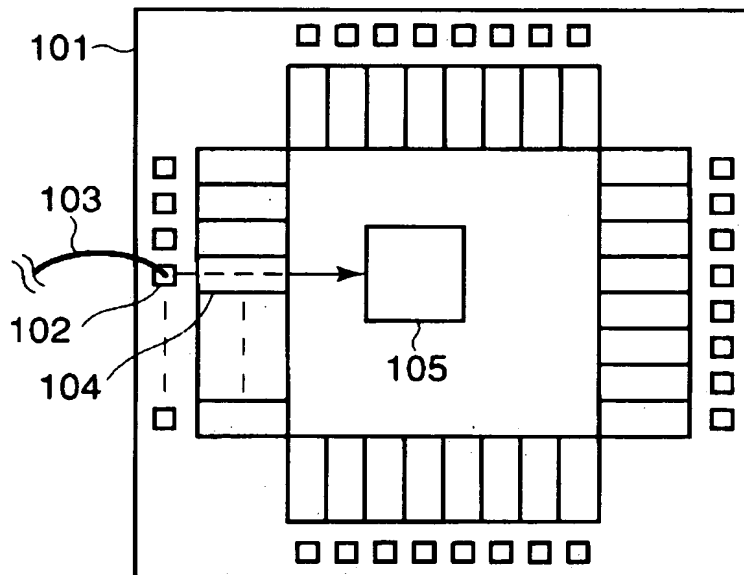
【図 5】



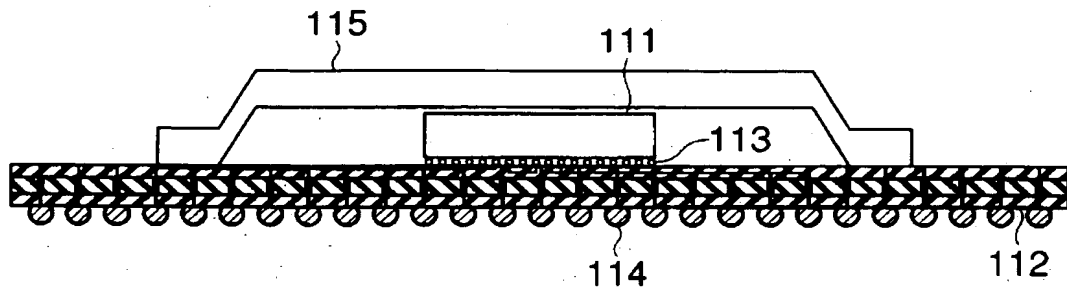
【図6】



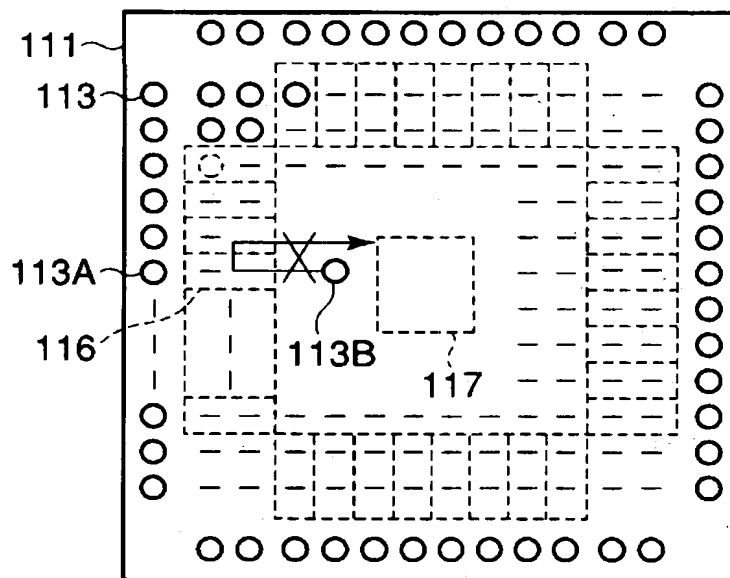
【図7】



【図 8】



【図 9】





【書類名】 要約書

【要約】

【課題】 半導体チップの外周近傍の入出力回路から距離的に離れた場所に入力用バンプが配置されていても、E S Dに対する耐性を確保できる半導体装置を提供する。

【解決手段】 半導体チップ 1 1 の外周近傍に形成された入出力回路 1 3 と、半導体チップ 1 1 の入出力回路 1 3 より中央側に形成された機能モジュール 1 4 と、半導体チップ 1 1 の機能モジュール 1 4 内に形成され、静電気放電による破壊から後段の回路を保護する静電気放電保護回路 1 5 と、機能モジュール 1 4 近傍の半導体チップ 1 1 の一方の主面上に配置され、静電気放電保護回路 1 5 を介して機能モジュール 1 4 に接続されたバンプ 1 2 A とを有する。

【選択図】 図 1

特願 2002-308668

出 願 人 履 歷 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝